

2026.10.16.(금) 03:00

보도시점

(국제엠바고)

배포 2026.10.15.(목) 09:00

(2026.10.16.(금) 조간)

원자 바깥 반도체 소재 자유자재로... 차세대 초고성능 소자 구현

- IBS, 선택적 원자 치환으로 반도체 절연막·준금속 구현하는 ‘모듈형 트랜지스터 제작 기술’ 개발
- 초미세·초저전력 반도체 개발을 위한 새로운 공정 패러다임 제시, 사이언스誌 게재

차세대 반도체의 핵심 소재로 주목받는 ‘2차원 반도체’를 원자층 단위로 정교하게 가공하는 새로운 기술이 개발됐다. 복잡한 물질 적층 공정을 간소화하고 초미세·저전력 반도체를 개발하는 데 기여할 것으로 기대된다.

과학기술정보통신부(부총리 겸 과학기술정보통신부 장관 배경훈, 이하 ‘과기정통부’)는 기초과학연구원(원장 장석복, 이하 ‘IBS’) 반데르발스 양자 물질 연구단 조문호 단장(POSTECH, 포스텍 석학 교수) 연구팀이 2차원 반도체를 구성하는 원자를 선택적으로 바깥, 하나의 박막에 반도체·절연체·준금속 영역을 원하는 층과 위치에 구현하는 ‘모듈형 트랜지스터 제작 기술’을 개발했다고 밝혔다.

이번 연구는 과기정통부의 IBS 기초과학연구단 지원 사업을 통해 수행됐으며, 세계적 학술지 「사이언스(Science)」에 10월 16일(금) 오전 3시(KST) 게재됐다.

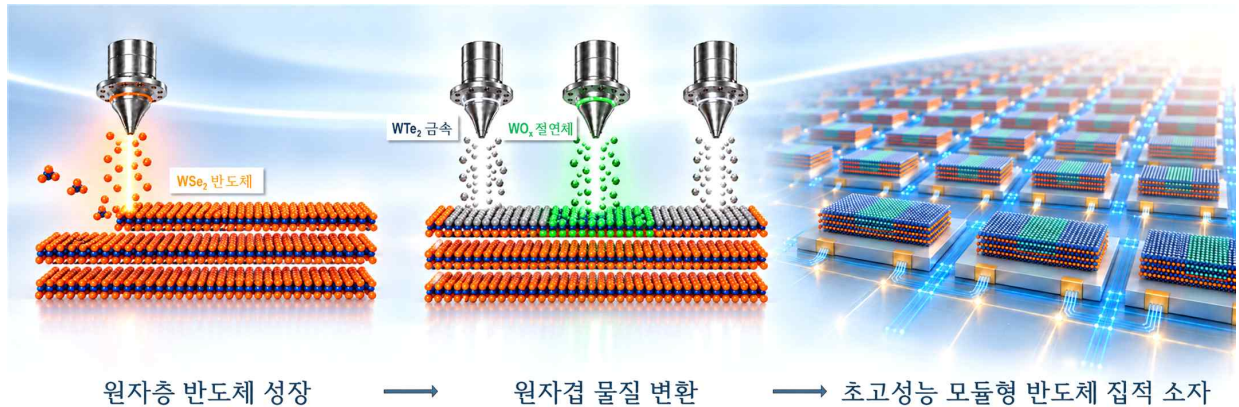
인공지능(AI) 기술의 발전으로 반도체의 미세화와 전력 효율을 높이기 위한 연구가 활발하다. 특히 원자층 두께에도 전류를 제어할 수 있는 2차원 반도체는 기존 실리콘 반도체의 미세화 한계를 극복할 차세대 소재로 주목받고 있다. 글로벌 반도체 기업과 연구기관을 중심으로 산업용 웨이퍼 공정에 적용하기 위한 연구가 진전되고 있지만, 실제 전자소자로 구현하려면 서로 다른 물질을 정교하게 집적해야 하는 기술적 과제가 남아 있다.

대표적 반도체 소자인 트랜지스터는 전류를 켜고 끄는 스위치로, 전류가 흐르는 반도체와 이를 제어하기 위한 절연막, 전류가 드나드는 금속 전극이 필요하다. 그러나 2차원 반도체는 표면에서 다른 물질과 화학적으로 잘 결합하지 않아 절연막을 균일하게 입히기 어렵다. 금속 전극을 직접 붙이면 접촉면이 손상되거나 전기 저항이 커져 성능이 떨어질 수도 있다. 서로 다른 얇은 물질을 한 장씩 옮겨 쌓는 방법도 있지만, 공정이 복잡해 넓은 면적에 균일하게 적용하거나 대량 생산으로 확대하는 데 한계가 있었다.

연구진은 서로 다른 물질을 쌓는 대신 2차원 반도체를 이루는 원자를 선택적으로 바꿔 필요한 물질을 원하는 위치에 직접 만드는 방식을 고안했다.

연구에 사용한 *p*형 반도체* ‘이셀레늄화텽스텐(WSe_2)’은 금속인 텽스텐(W) 원자층을 셀레늄(Se) 원자층이 위아래로 감싼 구조다. 연구진은 중심의 텽스텐 원자는 그대로 두고 주변의 셀레늄 원자만 다른 원자로 바꾸면 물질의 전기적 성질도 달라지는 원리를 활용했다.

* *p*형·*n*형 반도체: 전하 운반자의 종류에 따른 반도체 구분 방식으로, *p*형 반도체는 양 전하를 띤 정공(전자가 빠져나간 빈자리), *n*형인 반도체는 음전하를 띤 전자가 운반자



연구진은 다층 이셀레늄화텽스텐 박막의 원하는 층과 위치에서 셀레늄 원자를 산소(O), 황(S), 텔루륨(Te)으로 선택적으로 치환했다. 이를 통해 각각 절연체인 산화텽스텐(WO_x), *n*형 반도체인 이황화텽스텐(WS_2), 전기가 잘 통하는 준금속 이텔루륨화텽스텐(WTe_2)으로 변환했다.

이 과정에서 박막의 층과 층 사이에 있는 미세한 틈이 반응 원자의 이동을 가로막는 장벽으로 작용한다는 점을 이용했다. 반응 온도와 반응 기체의 압력을 조절해 화학반응이 다음 층으로 넘어가는 것을 제어함으로써, 약 0.7나노미터(nm) 두께의 원자층 단위로 물질을 변환했다. 또한 반도체 공정용 마스크(가림막)를 활용해 평면상의 원하는 위치만 선택적으로 바꾸는 데에도 성공했다.

연구진은 이 기술로 하나의 박막에 반도체(이셀레늄화텽스텐)와 절연막(산화텽스텐), 준금속 전극 접합층(이텔루륨화텽스텐)을 갖춘 모듈형 트랜지스터를 구현했다. 전류의 원활한 흐름을 돕는 준금속 접합층을 적용하자 금속 전극에서 반도체로 전하가 이동할 때 넘어야 하는 에너지 장벽이 35.5밀리전자볼트(meV)까지 낮아졌다. 금속 전극을 직접 붙이는 경우와 비교해 약 3분의 1 수준으로, 전류가 더 쉽게 흐를 수 있음을 의미한다.

전류를 켜고 끄는 성능도 이론적 한계에 근접했다. 전류를 10배로 바꾸는

데 필요한 게이트 전압의 변화량이 61.3밀리볼트로, 상온에서 기존 방식의 트랜지스터가 도달할 수 있는 이론적 최솟값인 약 60밀리볼트에 가까웠다. 켜진 상태와 꺼진 상태의 전류 비율도 1,000만 배 이상으로 나타나, 적은 전압 변화로 전류를 안정적으로 제어할 수 있음을 확인했다.

또한 산화텅스텐 절연막은 전기적 성능을 두께로 환산한 등가산화막두께(EOT)가 1나노미터 미만으로, 국제 반도체 로드맵*에서 제시한 초미세 소자의 핵심 성능 목표 수준을 달성했다.

* 국제 반도체 로드맵(International Roadmap for Devices and Systems): 세계 반도체 산업의 기술 발전 방향과 향후 요구되는 소자 성능 및 기술 목표를 제시하는 국제 기술 전망

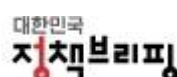
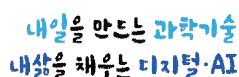
나아가 연구진은 p 형과 n 형 트랜지스터를 수직으로 쌓아 ‘상보형 인버터’를 제작했다. 인버터는 입력된 전기 신호를 반대로 바꾸는 디지털 회로의 기본 구성요소다. 제작한 인버터는 1볼트(V)의 낮은 전압에서도 신호를 반전시켜, 이번 기술이 개별 소자를 넘어 적층형 집적회로로 확장될 가능성을 보여줬다.

이번 연구는 개별 소재나 접합면의 성능 개선을 넘어, 트랜지스터의 주요 구성요소를 하나의 박막에 구현했다는 데 차별성이 있다. 연구진은 이 기술을 다양한 2차원 반도체 소재에 적용하고 웨이퍼 크기의 대면적 공정으로 발전시키는 한편, 3차원 적층형 집적회로 등 차세대 초미세·저전력 반도체 기술로의 응용 가능성을 탐색할 계획이다.

조문호 IBS 단장은 "이번 연구는 원자 단위 물질 조작이라는 기초 물질과학의 기법을 현대 반도체 기술에 접목해 미래 반도체 기술의 질적 도약을 위한 돌파구를 마련했다는 데 의미가 있다"며, "초저전력·초미세 반도체는 물론 차세대 적층형 반도체 소자 기술로도 확장될 수 있을 것"이라고 전했다.

김성수 과기정통부 연구개발정책실장은 "이번 연구는 기초과학 연구가 차세대 국가 전략기술인 반도체 분야의 난제를 해결하고 새로운 공정 패러다임을 제시한 대표적인 혁신 사례"라며, "앞으로도 원천기술이 우리나라 산업 경쟁력으로 이어질 수 있도록 기초·원천 연구 지원을 아끼지 않겠다"라고 밝혔다.

담당 부서	과학기술정보통신부 기초연구진흥과	책임자	과 장 박시정 (044-202-4530)
		담당자	서기관 정꽃보라 (044-202-4532)
연구 기관	기초과학연구원 (IBS) 반데르발스 양자 물질 연구단	교신저자	연구단장 조문호 (054-260-9200)
		제1저자	박사후연구원 민석영 (054-878-9082)
		제1저자	학생연구원 조현제 (054-878-9082)
	기초과학연구원 (IBS) 홍보팀	책임자	팀 장 김혜민 (042-878-8227)
		담당자	선임행정원 김지영 (042-878-8152)



연구 추가 설명

논문/저널 /저자	Modular van der Waals MOSFETs through layer-by-layer chalcogen substitutions / <i>Science</i> (2026) 민석영(공동 제1저자, IBS/POSTECH), 조현제(공동 제1저자, IBS/POSTECH), 이석호(IBS/POSTECH), 최재호(IBS/POSTECH), 김태호(IBS/POSTECH), 최종윤(IBS/POSTECH), 박희원(IBS/POSTECH), 윤준수(IBS/POSTECH), 모태준(IBS/POSTECH), Chumki Nayak(IBS), 김기엽(POSTECH), 허성혁(IBS/POSTECH), 이철호(서울대), 김용성(KRISS), 최시영(IBS/POSTECH), 김철주(IBS/POSTECH), 조문호(교신저자, IBS/POSTECH)
연구내용 보충설명	[연구 배경] 원자층 두께의 2차원 반데르발스 물질은 층과 층이 약한 반데르발스 힘으로 결합되어 있어, 서로 다른 물질을 자유롭게 쌓아 새로운 기능의 이종구조를 만들 수 있는 소재 플랫폼으로 주목받아 왔다. 그러나 이를 실제 소자 기술로 연결하는 데에는 근본적인 장벽이 있었다. 낱장을 떼어 옮겨 쌓는 기계적 전사 방식은 대면적 공정과 대량 생산에 적용하기 어렵고, 필수 절연체인 육방정계 질화붕소(hBN)는 성장 온도가 지나치게 높아 소자 위에 직접 합성하기 어렵다. 또한 매끈한 2차원 표면에는 통상의 고유전을 절연막이 고르게 증착되지 않으며, 금속 전극을 직접 증착하면 높은 접촉 저항이 발생한다. 이러한 문제는 특히 p형 반도체 채널에서 심각해, 2차원 소자의 성능을 제한하는 핵심 병목으로 남아 있었다. [연구 내용] 연구팀은 전이금속 칼코겐 화합물(TMDC)에서 전이금속 원자를 둘러싼 칼코겐 원소만 치환하면 결정 골격을 유지한 채 전자 상태를 바꿀 수 있다는 점에 착안해, p형 반도체인 이셀레늄화텅스텐(WSe₂) 다층 박막을 출발 물질로 삼아 기상(氣相) 반응 기반의 층별 칼코겐 치환 공정을 개발했다. 먼저 오존 산화를 통해 최상층부터 한 층씩 비정질 산화텅스텐(WO_x)으로 바꾸고, 이 산화텅스텐 중간층을 황 또는 텔루륨 전구체와 반응시켜 각각 n형 반도체 이황화텅스텐(WS₂, 600°C)과 준금속 이텔루륨화텅스텐(WTe₂, 550°C)으로 변환했다. 층간 반데르발스 틈이 반응 원소의 층간 확산을 막는 장벽으로 작용하기 때문에, 반응 온도 또는 반응 기체의 분압을 조절하는 것만으로 정확히 한 층 단위의 변환 깊이 제어가 가능함을 확인했다. 변환은 두께 방향뿐 아니라 평면 방향으로도 정밀하게 제어된다. 포토리소그래피 마스크로 원하는 영역만 국소 변환할 수 있으며, 이텔루륨화텅스텐 결정에 존재하는 1차원 거울 쌍정 결함(mirror-twin boundary)을 국소 산화 자리로 활용하면 폭 약 5nm의 초미세 금속 영역을 반도체 내부에 새겨 넣을 수도 있다. 또한 투과전자현미경 분석 결과, 변환된 이황화텅스텐과 이텔루륨화텅스텐 층은 아래 이셀레늄화텅스텐 층의 결정 방향을 따라 에피택시 정렬을 유지하는 것으로 확인되어, 고품질 수직·수평 이종구조를 단일 공정으로 구현할 수 있음을 보였다.

연구팀은 이 공정으로 트랜지스터의 전 구성 요소를 하나의 박막 안에서 완성했다. 연속된 5층 이셀레늄화텅스텐 박막의 위쪽 3개 층을 국소 산화해 게이트 절연막(산화텅스텐 약 3.6nm)을, 전극 영역의 최상층을 변환해 접합층(이텔루륨화텅스텐 1층)을 형성하고, 남은 이셀레늄화텅스텐을 채널로 사용했다. 밀도범함수이론 계산과 정전용량 측정을 통해 산소 결핍 조성의 비정질 산화텅스텐이 약 31~33의 높은 유전율을 가짐을 규명했으며, 등가산화막두께 0.3~0.4nm, 절연파괴전계 약 8.3MV/cm의 우수한 절연 특성을 확인했다. 완성된 p형 트랜지스터는 상온에서 문턱전압이하 기울기 61.3mV/dec로 볼츠만 이론 한계(60mV/dec)에 근접했고, 전류 점멸비 10^7 이상, 이력(hysteresis) 약 80mV 이하의 안정적 동작을 보였다. 이텔루륨화텅스텐 접합층은 정공 주입에 대한 쇼트키 장벽을 35.5meV까지 낮춰 백금 직접 접합(115meV) 대비 3분의 1 수준으로 줄였으며, 접촉 저항은 약 $3.8\text{k}\Omega\cdot\mu\text{m}$ 로 보고된 최저 수준에 해당한다. 동일한 산화텅스텐 절연막을 적용한 n형 트랜지스터(MoS_2)도 SS 60.3mV/dec, 전류 점멸비 10^8 이상의 성능을 보였고, p형·n형 소자 각 50개의 통계 분석으로 공정 재현성을 검증했다. 마지막으로 두 트랜지스터를 수직으로 적층해 구동 전압 1V에서 동작하는 상보형(CMOS) 인버터를 시연함으로써, 모듈형 집적의 가능성을 입증했다.

[기대 효과]

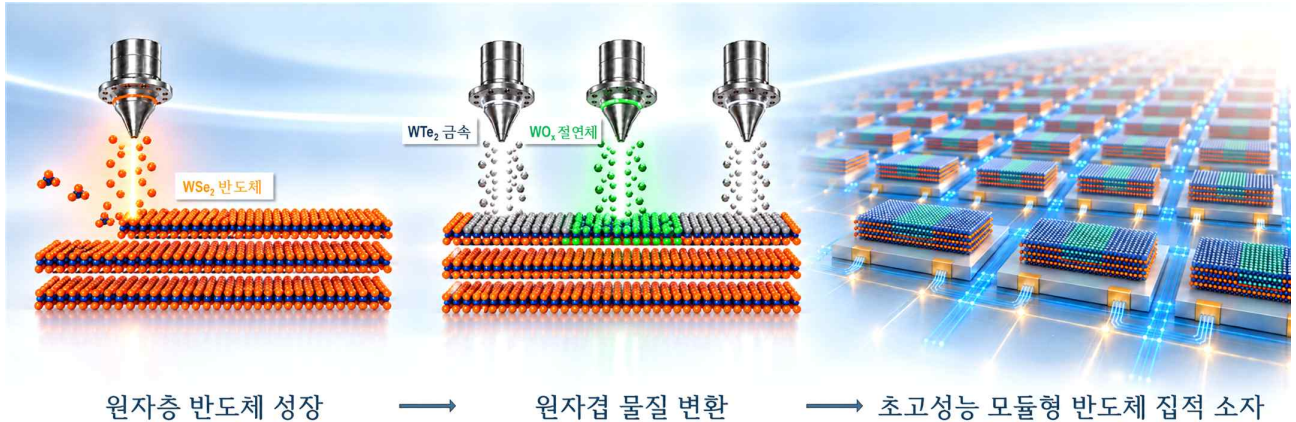
이번 성과는 소재의 합성과 소자의 집적을 하나의 변환 공정으로 통합해, 전사 공정 없이도 반도체·절연체·금속이 원자 단위로 정렬된 소자를 만들 수 있음을 보인 것이다. 국제반도체소자로드맵(IRDS)이 요구하는 1nm 이하 등가산화막두께와 이론 한계 수준의 스위칭 특성을 동시에 달성한 만큼, 초저전력 논리소자와 3차원 적층형 집적회로 등 차세대 반도체 기술의 새로운 공정 경로로 발전할 것으로 기대된다.

[용어 설명]

1. 반데르발스(van der Waals) 물질: 원자들이 강하게 결합된 얇은 층들이 약한 반데르발스 힘으로 느슨하게 쌓여 있는 물질. 층 단위로 떼어내거나 쌓을 수 있어 2차원 물질이라고도 불린다.
2. 전이금속 칼코겐 화합물(TMDC): 텅스텐(W)·몰리브덴(Mo) 등 전이금속 원자 하나가 황(S)·셀레늄(Se)·텔루륨(Te) 등 칼코겐 원소 두 개와 결합한 층상 화합물. 구성 원소에 따라 반도체·금속·절연체 등 다양한 전기적 성질을 띤다.
3. 모스펫(MOSFET): 금속(전극)-산화막(절연막)-반도체가 쌓인 구조에서 게이트 전압으로 전류를 켜고 끄는 전계효과 트랜지스터. 현대 반도체 집적회로의 기본 소자다.
4. 고유전율(high-k) 절연막: 유전율이 높아 얇게 만들어도 누설 전류 없이 강한 게이트 정전기력을 전달할 수 있는 절연막. 초미세 트랜지스터의 저전력 동작에 필수적이다.
5. 등가산화막두께(EOT): 어떤 절연막의 정전 성능을 실리콘 산화막(SiO_2) 두께로 환산한 값. 값이 작을수록 게이트가 채널을 효율적으로 제어함을 뜻한다.
6. 문턱전압이하 기울기(SS, subthreshold swing): 트랜지스터의 전류를 10배 늘리는데 필요한 게이트 전압 변화량 (mV/decade). 상온에서의 이론적 최솟값은 약 60 mV/decade이며, 이 값에 가까울수록 낮은 전압으로 소자를 켜고 끌 수 있다.

	7. 쇼트키 장벽(Schottky barrier): 금속과 반도체가 접합할 때 계면에 형성되는 에너지 장벽. 장벽이 높을수록 전하가 드나들기 어려워 접촉 저항이 커진다. 8. 상보형(CMOS) 인버터: p형과 n형 트랜지스터를 짝지어 만든 논리회로의 기본 단위로, 입력 신호를 반전시켜 출력한다. 디지털 회로의 저전력 동작을 가능케 하는 핵심 구조다.
연구 이야기	[연구 계기] 반데르발스 이종구조는 지난 10여 년간 수많은 새로운 물리 현상과 소자 개념을 낳았지만, 그 대부분은 낱장의 결정을 하나씩 떼어 붙이는 수작업 방식에 의존해 왔다. 연구팀은 '낱장을 옮겨 쌓는 대신, 하나의 박막 안에서 필요한 물질을 그 자리에 직접 만들어낼 수는 없을까'라는 질문에서 출발했다. 전이금속을 둘러싼 칼코겐 원소만 바꾸면 결정 골격을 유지한 채 전혀 다른 전자 상태를 얻을 수 있다는 TMDC의 화학적 특성이 그 실마리가 됐다. [어려움과 해결] 가장 큰 난관은 변환 반응을 '정확히 한 층에서' 멈추게 하는 조건을 찾는 일이었다. 수많은 조건 실험 끝에, 변환 깊이는 산화에서는 반응 온도로, 황화에서는 반응 기체의 분압으로 층 단위까지 제어할 수 있으며, 층 사이의 반데르발스 틈이 자연적인 확산 장벽으로 작동한다는 사실을 밝혀냈다. 또한 변환을 거치면서도 아래층의 결정성이 온전히 보존되는지를 확인하기 위해, 원자 단위 전자현미경 관찰과 분광 분석을 공정의 각 단계에서 반복하며 검증했다. [성과 차별점] 기존 연구들이 개별 물질의 합성이나 단일 계면의 개선에 집중했다면, 이번 연구는 채널·절연막·전극 접합층까지 트랜지스터의 전 요소를 하나의 박막에서 변환만으로 완성했다는 점에서 다르다. 특히 1nm 이하의 등가산화막두께와 이론 한계에 근접한 스위칭 특성을 별도의 증착 공정 없이 달성한 것은, 소재 합성과 소자 집적이 하나의 공정으로 통합될 수 있음을 보여준 첫 사례다. [향후 연구 계획] 연구팀은 이번에 확립한 층별 치환 공정을 다양한 전이금속 칼코겐 화합물로 확장하고, 웨이퍼 스케일의 대면적 공정으로 발전시키는 연구를 이어갈 계획이다. 나아가 수직 적층 인버터 시연을 발판으로, 3차원 적층형 집적회로 등 차세대 저전력 반도체 기술로의 응용 가능성을 탐색할 예정이다.

그림 및 사진

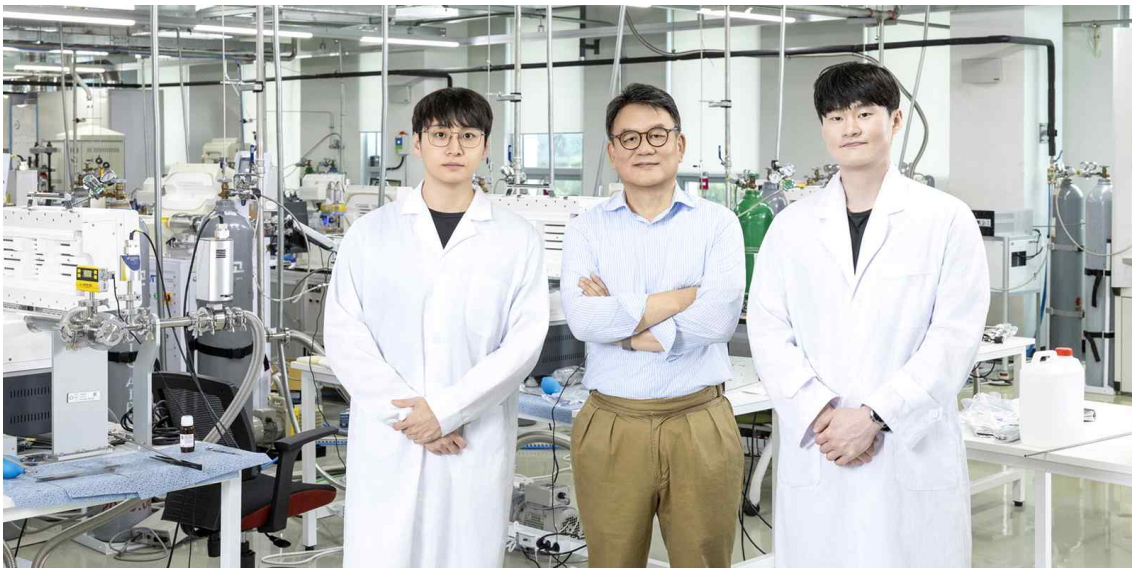


[그림] 원자층 단위의 선택적 치환을 이용한 모듈형 2차원 트랜지스터 제작 개념도

(왼쪽) 원자층 두께의 2차원 반도체를 층 단위로 성장시켜 여러 층의 박막을 형성하는 과정을 나타낸다.

(가운데) 박막의 금속 원자 골격을 유지하면서 원하는 층과 위치의 칼코겐 원자를 선택적으로 치환해, 각 영역에 서로 다른 전기적 기능을 부여하는 과정을 보여준다. 이셀레늄화텅스텐(WSe_2) 박막의 일부를 절연체인 산화텅스텐(WO_x)이나 전극 접합층으로 쓰이는 이텔루륨화텅스텐(WTe_2)으로 바꾸고, 반응하지 않은 부분은 반도체 채널로 활용한다.

(오른쪽) 이러한 방식으로 하나의 박막에 반도체 채널·절연막·전극 접합층을 구현한 모듈형 트랜지스터가 배열된 모습을 나타내며, 차세대 고집적 전자소자로의 확장 가능성을 보여준다.



[사진] 핵심 연구진

(좌측부터) IBS 반데르발스 양자 물질 연구단 조현제 학생연구원(POSTECH 신소재공학과 박사과정), 조문호 연구단장, 민석영 박사후연구원

연구진 이력사항

<조문호 IBS 반데르발스 양자 물질 연구단 연구단장, 교신저자>

1. 인적사항

- 소속(직위) : 기초과학연구원(IBS) 반데르발스 양자 물질 연구단(연구단장)
포항공과대학교(POSTECH) 신소재공학과(석학교수)
- 전화 : 054-260-9200
- e-mail : mhjo@postech.ac.kr / mhjo@ibs.re.kr



2. 학력

- 2001-2004 박사후연구원, 미국 하버드대학교
- 2001 박사, 영국 케임브리지대학교 재료과학과
- 1997 석사, 연세대학교 재료공학과
- 1995 학사, 연세대학교 재료공학과

3. 경력사항

- 2026-현재 포항공과대학교(POSTECH) 석학교수 (POSTECH Distinguished Professor)
- 2025-현재 기초과학연구원(IBS) 응집물질과학 연구클러스터 소장
- 2023-현재 Nano Letters 편집자문위원
- 2022-현재 기초과학연구원(IBS) 반데르발스 양자 물질 연구단 연구단장
- 2018-2026 포항공과대학교(POSTECH) 무은재 석좌교수
- 2013-2021 기초과학연구원(IBS) 원자제어 저차원 전자계 연구단 부연구단장
- 2013-현재 포항공과대학교(POSTECH) 신소재공학과 교수
- 2012-2013 연세대학교 공과대학 신소재공학과 부교수
- 2011-2018 포항공과대학교(POSTECH) 세아젊은석좌교수
- 2009-현재 Journal of Semiconductor Technology and Science 편집위원
- 2004-2012 포항공과대학교(POSTECH) 신소재공학과 부교수, 조교수

<민석영 IBS 반데르발스 양자 물질 연구단 박사후연구원, 공동 제1저자>

1. 인적사항

- 소속(직위) : 기초과학연구원(IBS) 반데르발스 양자 물질 연구단
- 전화 : 054-260-9082
- e-mail : seokyoungmin@ibs.re.kr



2. 학력

- 2020-2026 박사, 포항공과대학교(POSTECH) 신소재공학과
- 2016-2020 학사, 포항공과대학교(POSTECH) 신소재공학과

3. 경력사항

- 2026-현재 박사후연구원, IBS 반데르발스 양자 물질 연구단

<조현제 IBS 반데르발스 양자 물질 연구단 학생연구원, 공동 제1저자>

1. 인적사항

- 소속(직위) : 기초과학연구원(IBS) 반데르발스 양자 물질 연구단
포항공과대학교(POSTECH) 신소재공학과
- 전화 : 054-260-9082
- e-mail : chj600313@postech.ac.kr



2. 학력

- 2021-현재 석·박사 통합과정, 포항공과대학교(POSTECH) 신소재공학과
- 2014-2021 학사, 성균관대학교 신소재공학과