

2009년 11월 26일(목) 석간부터 보도하여 주시기 바랍니다.

자료문의 : 반도체디스플레이과 박태성 과장(2110-5680), 김봉석 사무관(2110-5683)

차세대 메모리 개발 글로벌 전진기지 구축

- 한양대 「차세대메모리 産·學·研 공동연구센터 개소식」 개최 -

□ 글로벌 경제위기를 거치면서 세계 메모리 업계를 재편한 우리 반도체 산업이 차세대 메모리시장 선점을 위하여 업계·학계가 공동연구에 본격적으로 돌입함

○ 한양대학교(김종량 총장)는 11.26일(10:00~12:00) 임채민 지식경제부 차관, 이병석 의원(민주당), 박영아 의원(한나라당), 권오현 삼성전자 사장, 김종갑 하이닉스 사장 등을 비롯한 산·학·연 관계자 150여명을 초청하여 「차세대메모리 산학연 공동연구센터」 개소식을 가짐

□ 「차세대메모리 산학연 공동연구센터」는 반도체분야 최초의 국내 大-大 R&D 상생협력 사업으로 금년 3월부터 지식경제부, 삼성전자, 하이닉스가 공동출연 구축하였으며, 차세대메모리 주력제품으로 유력한 STT-MRAM에 대한 연구개발을 착수하게 됨

* STT-MRAM(Spin Transfer Torque - Magnetic Random Access Memory) : 자성 재료의 전자의 자화 방향 변화를 통한 전기적 저항 차이가 발생하는 현상을 정보 저장에 이용한 메모리

○ 특히 동 센터는 국내 최초, 세계에서 두 번째*로 대학에 300mm(12인치) 반도체 장비가 구축되고, 세계 1, 2위 메모리기업(삼성전자, 하이닉스) 전문연구인력이 상주하여 공동 연구개발한다는 점에서 의미가 큼

* 차세대메모리개발 300mm 반도체장비구축은 뉴욕 알바니대학이 세계 최초임

< 차세대메모리 산학연 공동연구센터 개요 >

- 사업비 : '09~'12, 4년간 총 240억원(정부 120억원, 민간 120억원)
- 장 소 : 한양대 퓨전기술센터(FTC)내 클린룸 구축(576m²)
- 장 비 : 300mm용 자성박막 증착기, 스퍼터, 어닐러, 측정기, CMP 등 8종
- 파견연구원 : 삼성전자 3명, 하이닉스 4명, 울박코리아 4명 등

○ 한편, 우리나라는 세계최고의 공정기술을 바탕으로 '93년 이후 메모리 세계 1위를 차지하고 있으나, 핵심 소자구조 등 원천기술은 해외에 의존하고 있어, 향후 차세대 메모리에 대한 원천기술 확보시 현재의 글로벌 생산기지에서 R&D 중심기지로의 도약이 가능할 것이라 기대됨

□ 이번 행사에서 한양대 차세대메모리사업단장 박재근 교수(차세대메모리연구센터총괄)는 경과보고를 통하여,

○ 동 연구센터가 200mm(8인치) 팹을 활용한 일본의 STT-MRAM기술 수준과의 격차를 줄이고, 세계 최초로 STT-MRAM을 개발함으로써 2015년 이후 30나노급 이하 메모리 시장의 45% 이상을 점유하는 한편,

○ 메모리 세계 1위 기술 경쟁력 보유에 따른 자성 박막 공정 장비 (sputter, etcher 등) 등 경쟁력도 확보 가능할 것이라고 밝힘

* 2015년 STT-MRAM 시장은 530억불 전망 (우리업계 생산규모는 239억불)

메모리 시장 동향(예측)



※ 출처 : i-suppli '09.2Q

□ 지식경제부 임채민 차관은 축사를 통해 「차세대메모리연구센터」가 산학연 공동연구 확대에 바람직한 모델임을 강조하고,

○ 연구센터를 중심으로 미래 반도체 원천기술을 확보하고, 국제기술 표준을 주도하는 한편, 세계적인 공동연구 허브로 성장할 수 있도록 업계·학계 관계자 모두에게 각고의 노력을 당부함

□ 한편, 정부에서는 금번 STT-MRAM 연구개발 사업외에도 차세대 비휘발성메모리*에 대한 원천기술개발을 지원중임

* '04~'11년간 CRAM, ReRAM, NFGM, TBM, PoRAM, FFM 등 기술개발 지원중

<별첨>

1. 차세대메모리 연구센터 개소식 개요
2. STT-MRAM 개발사업 개요

I. 「차세대메모리(STT-MRAM) 연구센터」 개소식 개요

1. 행사 개요

□ 목적 : 차세대메모리(수직형 STT-MRAM) 반도체 산·학·연 공동 연구개발 센터 개소식

□ 일정 : 11.26(목) 10:00~12:00, 한양대 퓨전테크놀로지센터(FTC) 로비

□ 참석 : 반도체업계 CEO, 유관기관 등 150여명

- 정 부 : 차관, 김이환 과학기술비서관, 표재호 특허청 심판원장
- 국 회 : 이병석 국토해양위원장, 박영아 의원(한나라당)
- 업 계 : 권오현 반도체협회장, 김종갑 하이닉스 사장, 고석태 케이씨텍 회장, 이용한 원익그룹 회장 등
- 연구계 : 김종량 총장(한양대), 최평락 원장(KEIT), 김병철 부총장(고려대)

2. 세부 일정

구분	시간계획	내 용	비 고
본 행 사	10:00~10:10(10')	○ VIP 접견	
	10:10~10:15(5')	○ FTC 1층 클린룸 이동	
	10:15~10:25(10')	○ 테이프 Cutting식 및 기념촬영	
	10:25~10:30(5')	○ 클린룸 견학	
	10:30~10:35(5')	○ FTC 로비 행사장 이동	
	10:35~10:37(2')	○ 국 민 의 례	사회자
	10:37~11:05(28')	○ 축사	차관, 김종량 한양대 총장, 박영아 의원, 권오현 삼성전자 사장, 김종갑 하이닉스 사장, 이병석 의원
11:05~11:10(5')	○ 경과 보고 및 동영상 시청	박재근 단장	
11:10~11:15(5')	○ 공로패 수상	김종량 한양대총장	
11:15~11:16(1')	○ 폐회사	사회자	
식후 행사	11:35~12:00(25')	○ 차세대메모리 공동연구실 방문 (FTC 4층)	차관, 총장, 주요내빈

II. STT-MRAM 개발 사업 개요

1. 추진 배경

- (기술적 한계) D램은 소자구조*상 집적도의 한계가 있으며, 플래시메모리는 20나노 이하 미세화시 기술적 특성 구현이 어려움**으로 인해 차세대 메모리로의 전환이 불가피

* 트랜지스터 + 커패시터의 구조로 인해 30나노 이하 셀 구성이 어려움

** 20나노 이하에서는 셀 간 상호 간섭에 의한 소자 동작 불안정성 증대

- 특히, 차세대 비휘발성메모리 가운데 가장 동작속도가 빠른 'STT-MRAM'이 유력한 대안으로 부각
- STT-MRAM은 플래시의 저장능력과 D램의 빠른 속도를 결합한 30나노 저전력 고집적 STT-M램이 2015년 이후 메모리 시장에 등장할 전망

【 메모리 특성 비교 】

비 고	D램	낸드플래시	차세대 메모리
데이터 저장	소멸	저장	저장
처리 속도	빠름	느림	매우빠름

- (경쟁국 동향) 차세대 메모리시장 선점을 위해 특히 일본은 NEDO 국책사업 등을 통해 STT-MRAM 개발 진행

- 이에 따라, 향후 4년간 삼성전자·하이닉스 및 연구기관이 대형 컨소시엄을 이루어 공동 R&D를 추진키로 합의

* '08.6.25일 "반도체발전전략보고회"시 MOU 체결

2. 사업 내용

□ STT-MRAM 사업 개요

- 세계 최초의 12인치 STT-MRAM 개발장비를 대학에 구축, 삼성(3명), 하이닉스(4명), 울박코리아(4명) 등 연구인력이 상주하여 연구개발
- * 경쟁국인 일본 동북대(도시바참여) 8인치 장비구축 STT-MRAM 개발중

구 분	내 용
사업기간	• 2009.3~2013.2
총 사업비	• 총 240억원 (정부: 120억원, 민간: 120억원)
주관 및 참여기관	• 주관기관: 한양대학교 • 참여기관: 삼성, 하이닉스, KIST, 고려대, 성균관대

3. 기대 효과

- 2015년 차세대 메모리 시장의 45% 이상을 점유함으로써 국내 메모리업계의 세계시장 지배력 확대

* 2015년 STT-MRAM 시장은 530억불 전망 (우리업계 생산규모는 239억불)

